

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237882

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H01L 27/118

H01L 21/60

H01L 21/331

H01L 29/73

(21)Application number : 08-041397

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1996

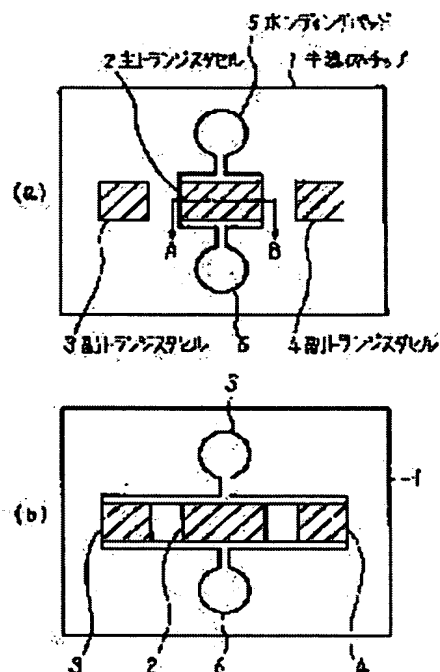
(72)Inventor : TAKANO HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily manufacture a semiconductor device of high transistor characteristics by a method wherein high-frequency transistors are formed by a master slice method.

SOLUTION: A semiconductor device is equipped with transistors formed on a semiconductor chip 1 by a master slice method, wherein a transistor of minimum scale selected out of transistors manufactured by a master slice method is arranged as a main transistor cell 2 at the center of the semiconductor chip 1, and auxiliary transistor cells 3 and 4 are arranged symmetrically with respect to the main transistor cell 2.



LEGAL STATUS

[Date of request for examination]

28.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3152145

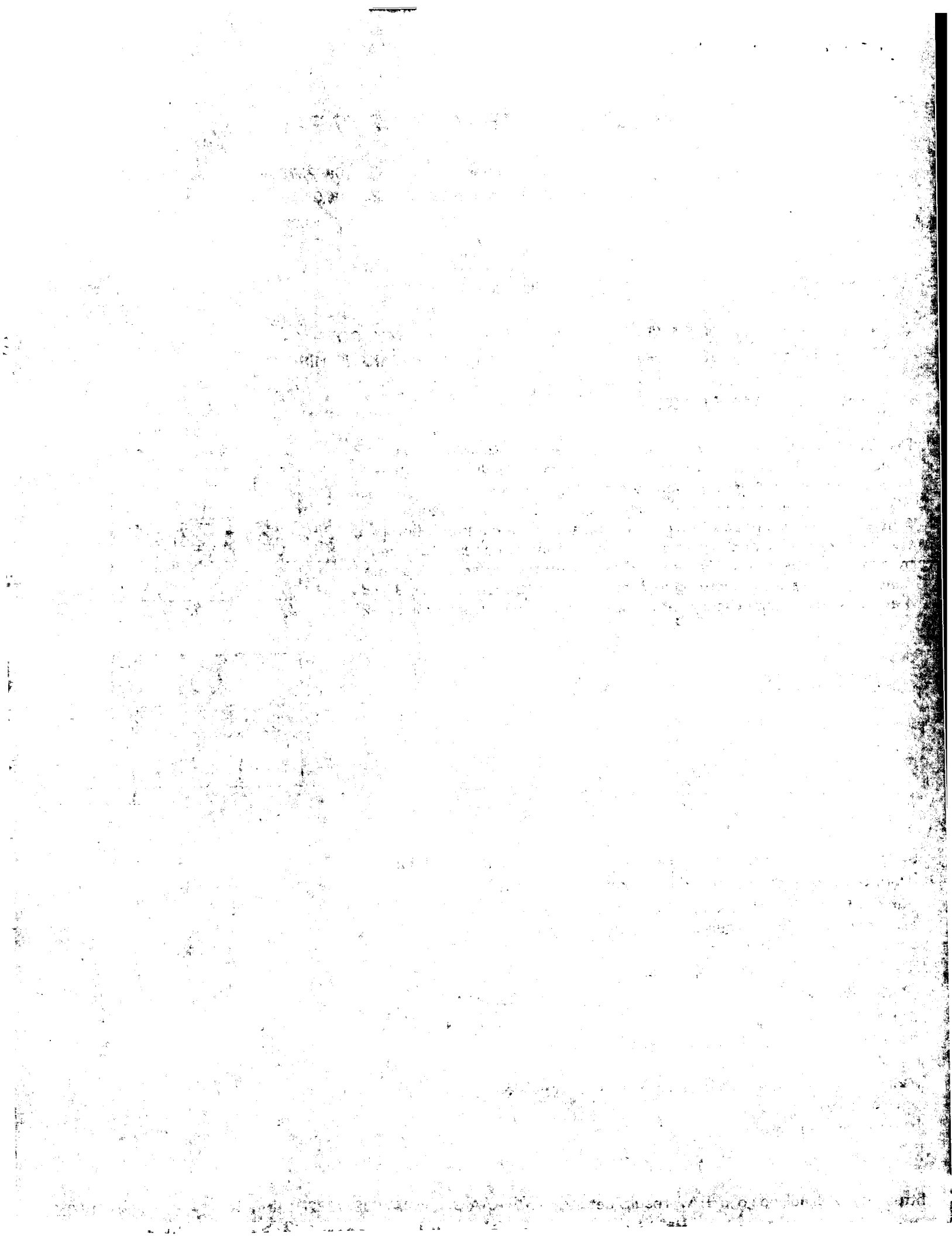
[Date of registration]

26.01.2001

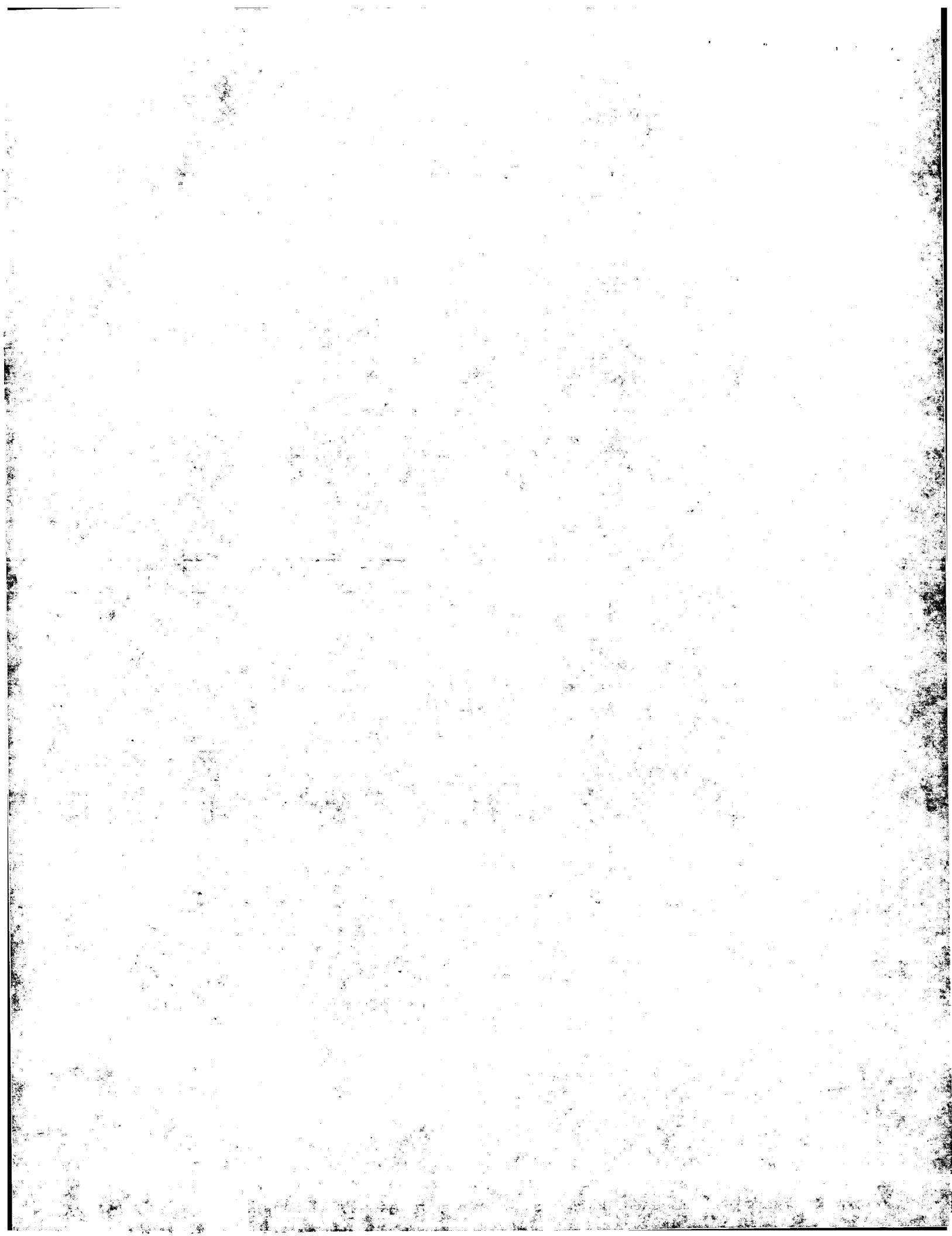
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237882

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118			H 0 1 L 21/82	M
21/60	3 0 1		21/60	3 0 1 N
21/331			29/72	
29/73				

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平8-41397

(22) 出願日 平成8年(1996)2月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ▲高▼野 浩志

東京都港区芝五丁目7番1号 日本電気株式会社内

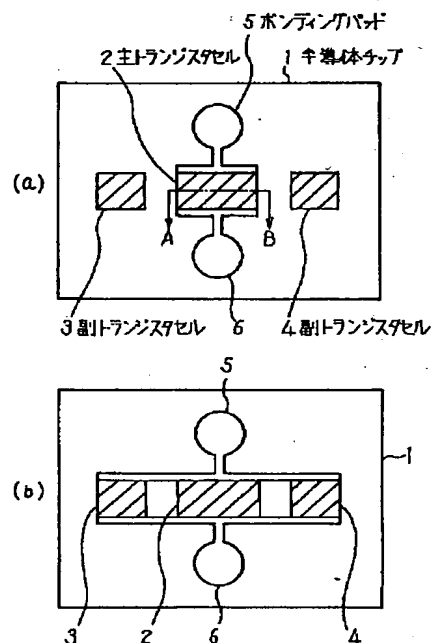
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】高周波用のトランジスタをマスタスライス方式で形成し、高性能なトランジスタ特性を有する半導体装置の製造を容易にする。

【解決手段】半導体チップ上にマスタスライス方式で構成されるトランジスタを有する半導体装置であって、前記マスタスライス方式で製造されるトランジスタの製品群のうち最小規模のトランジスタが主トランジスタセルとして前記半導体チップの中心部に配置され、前記半導体チップ上で前記主トランジスタセルを中心にして対称となる位置に副トランジスタセルが配置されていることを特徴とする半導体装置。



【特許請求の範囲】

【請求項1】 マスタスライス方式により形成されるトランジスタを半導体チップ上に有する半導体装置であって、前記マスタスライス方式によるトランジスタの製品群の中で最小規模となるトランジスタが主トランジスタセルとして前記半導体チップの中心部に配置され、前記半導体チップ上で前記主トランジスタセルを中心にして対称となる位置に複数の副トランジスタセルが配置されていることを特徴とする半導体装置。

【請求項2】 前記副トランジスタセルのトランジスタ能力は、前記主トランジスタセルの能力より小さくなっていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記主トランジスタセルおよび副トランジスタセルは同一の単体トランジスタで構成されていることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記副トランジスタセルが複数個前記半導体チップ上に配置され、前記複数の副トランジスタセルは主トランジスタセルの配置位置から遠ざかるに従いそのトランジスタ能力が小さくなっていることを特徴とする請求項1、請求項2または請求項3記載の半導体装置。

【請求項5】 前記主トランジスタセルおよび副トランジスタセルがバイポーラトランジスタで構成されていることを特徴とする請求項1から請求項4記載のうち1つの請求項に記載の半導体装置。

【請求項6】 前記主トランジスタセルあるいは副トランジスタセルの電極に接続されるボンディングパッドは、前記半導体チップの中心から左右に対称になる位置に配置されていることを特徴とする請求項1から請求項5のうち1つの請求項に記載の半導体装置。

【請求項7】 エミッタに接続される複数のボンディングパッドが半導体チップの中心から左右に対称になる位置に配置して形成されていることを特徴とする請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特にマスタスライス化された単体トランジスタを搭載する半導体装置に関する。

【0002】

【従来の技術】 従来の高周波（RF）用のトランジスタ例えばRF用のバイポーラトランジスタでは、複数の製品をマスタスライス方式で製造する際には一つの半導体チップの中に異なるエミッタ電極の数（以下、フィンガー数と呼称する）のトランジスタセルを複数個配置して、その中で必要なフィンガー数のトランジスタセルを使用したり、隣接した異なるフィンガー数のトランジスタセルを組み合わせて使用するという方法をとっていた。

【0003】 以下、このような従来の技術を図7乃至図

9に基づいて説明する。ここで、図7および図8は、従来のマスタスライス方式で形成されたトランジスタの半導体チップの平面図であり、図9はこの半導体チップをリードフレームのリードに接続した場合の平面図を示している。

【0004】 図7（a）に示すように、半導体チップ101の所定の領域に第1のトランジスタセル102、第2のトランジスタセル103および第3のトランジスタセル104が形成されている。ここで、これらのトランジスタセルは、それぞれエミッタ、ベースおよびコレクタを有するバイポーラトランジスタであり、そのトランジスタのフィンガー数は互いに異なるものである。すなわち、そのトランジスタの大きさは互いに異なるように形成されている。なお、これらのトランジスタセルには、半導体チップ内での配置を明確にする目的で斜線が施されている。

【0005】 このようなトランジスタセルの配置された半導体チップにおいては、使用目的にあったRF特性や電流値に合わせて図7（b）、図7（c）あるいは図8（a）、図8（b）等のように使用トランジスタセル数と電極形状を変えて複数品種のトランジスタが製造される。図7（b）においては、第1のトランジスタセル102にボンディングパッド105および106がそれぞれ配線を通して接続される。ここで、ボンディングパッド105は第1のトランジスタセル102のエミッタに接続され、ボンディングパッド106は第1のトランジスタセル102のベースに接続されている。なお、コレクタの電極引き出しは半導体チップ101の裏面からなされる。

【0006】 図7（c）においては、第1のトランジスタセル102と第2のトランジスタセル103にボンディングパッド107および108がそれぞれ配線を通して接続される。ここでは、ボンディングパッド107は第1のトランジスタセル102と第2のトランジスタセル103のエミッタに共通に接続され、ボンディングパッド108は第1のトランジスタセル102と第2のトランジスタセル103のベースに共通に接続されている。この場合も、コレクタの電極引き出しは半導体チップ101の裏面からなされる。

【0007】 図8（a）においては、同様に、第1のトランジスタセル102、第2のトランジスタセル103および第3のトランジスタセル104に共通したボンディングパッド109および110が形成される。ここでは、ボンディングパッド109は第1のトランジスタセル102、第2のトランジスタセル103および第3のトランジスタセル104のエミッタに配線を通して接続され、ボンディングパッド110は第1のトランジスタセル102、第2のトランジスタセル103および第3のトランジスタセル104のベースに配線を通して接続されている。この場合も、コレクタの電極引き出しは半導

体チップ101の裏面からなされる。

【0008】図8(b)は、2つのボンディングパッドが同一のエミッタに接続される場合を想定して示されている。すなわち、第1のトランジスタセル102および第2のトランジスタセル103のエミッタにボンディングパッド111および112が配線を通して接続されている。そして、ボンディングパッド113は第1のトランジスタセル102および第2のトランジスタセル103のベースに配線を通して接続されている。この場合でも、コレクタの電極引き出しは半導体チップ101の裏面からなされる。

【0009】以上に説明したように、従来のマスタスライス化されたトランジスタを有する半導体チップの場合には、製品の品種によりボンディングパッドの位置は半導体チップ内でそれぞれ異っている。

【0010】次に、このような半導体チップをリードフレームに封止する場合について図9に基づいて説明する。図9(a)は、図7(b)で説明した半導体チップを封止する場合であり、図9(b)は、図8(a)で説明した半導体チップを封止する場合である。

【0011】図9(a)に示すように、半導体チップ101のボンディングパッド105はボンディングワイヤ114でリード115に接続される。同様に、ボンディングパッド106はボンディングワイヤ116でリード117に接続される。そして、半導体チップ101はリード118にマウントされて接続される。

【0012】図8(a)の半導体チップの場合には、図9(b)に示すように、半導体チップ101のボンディングパッド109はボンディングワイヤ119でリード115に接続される。同様に、ボンディングパッド110はボンディングワイヤ120でリード117に接続される。そして、半導体チップ101はリード118にマウントされて接続される。

【0013】

【発明が解決しようとする課題】以上に説明した従来の技術で、同一のエミッタに接続されるボンディングパッドを2つ配置した場合を図8(b)で説明した。しかし、このような半導体チップをリードフレーム等に組立てる際にパッド間距離の確保およびパッド配置の禁止領域の制限等があり、左右の電極引き出し形状が異なってしまう。このため、このようなトランジスタセルのレイアウトの場合にはボンディングパッドはエミッタ用、ベース用それぞれ1個ずつしか配置できなかった。

【0014】また、この従来の技術では、品種が異なる毎にすなわち使用するトランジスタセルの数および組み合わせが異なる毎にボンディングパッドの位置も異なることになる。図9(a)および図9(b)で説明したように、各場合でボンディングパッド位置が異なることがわかる。すなわち、ボンディング時に組立品種切り替え毎にボンダー位置合わせが必要となり、組立て効率が悪

くなるという問題があった。また、低い周波帯で使用する際には使用周波数の一波長が長いためにRF特性に影響は現れないが、ギガHzの高周波帯たとえばL帯(1~2ギガHz帯)のような高い周波帯で使用する際には各トランジスタセルのボンディングパッドまでの電極引き出し距離が異なった場合、出力となるボンディングパッドでは位相の異なる複数のRF波が入り、これが例えばトランジスタの電力利得の低下や周波数特性劣化につながるがあった。また、組立品種毎にボンディングワイヤ長が異なるためこれらのトランジスタを使用するモジュール等を設計する際に必要なデバイスパラメータを抽出する時にはトランジスタ部分およびそれ以外の部分でそれぞれ品種毎に抽出する必要があり設計効率が悪かった。さらに、電極引き出し形状が左右で異なった場合、各トランジスタセルに対するインピーダンスや寄生容量値が異なってくる。さらに各トランジスタセルサイズの違いにより動作時の発熱量が異なり、接合温度が異なってくる。そしてベース-エミッタ間電圧がトランジスタセル毎に違ってきて半導体チップとしてのトランジスタ動作点がずれ、電力利得の低下や周波数特性劣化につながるという問題点があった。

【0015】本発明の目的は、上記の問題点を解決し、高周波用のトランジスタをマスタスライス方式で形成し高いトランジスタ特性を有する半導体装置を提供することにある。

【0016】

【課題を解決するための手段】このために本発明の半導体装置では、半導体チップ上にマスタスライス方式で形成されるトランジスタのみを有する半導体装置において、前記マスタスライス方式で製造されるトランジスタの製品群の中で最小規模となるトランジスタが主トランジスタセルとして前記半導体チップの中心部に配置され、前記主トランジスタセルを挟み前記半導体チップ上で対称となる位置に副トランジスタセルが配置されている。

【0017】ここで、前記副トランジスタセルのトランジスタ能力は、前記主トランジスタセルの能力より小さくなるように設定される。

【0018】また、前記主トランジスタセルおよび副トランジスタセルは同一の単体トランジスタで構成されている。

【0019】また、前記副トランジスタセルが複数個前記半導体チップ上に配置され、前記複数の副トランジスタセルは主トランジスタセルの配置位置から遠ざかるに従いそのトランジスタ能力が小さくなるように設定される。

【0020】ここで、前記トランジスタはバイポーラトランジスタである。

【0021】さらには、トランジスタセルの電極に接続されるボンディングパッドは、前記半導体チップの中心

線に対し左右に対称になるように配置されている。

【0022】あるいは、バイポーラトランジスタのエミッタに接続される複数のボンディングパッドが半導体チップの中心線に対して左右に対称になる位置に配置されている。

【0023】このようなトランジスタセルおよびボンディングパッドの半導体チップ上配置の対称性は、マスタスライス方式で構成されるようになるトランジスタ製品群の製造効率を大幅に向上させる。さらに、この対称性はトランジスタの動作時で半導体チップ上での発熱量を均一にするようになる。

【0024】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して説明する。以下、図1乃至図3に基づいて本発明の第1の実施の形態を説明する。ここで、図1は、本発明でマスタスライス化されたトランジスタの半導体チップの平面図である。そして、図2は、図1(a)に記したA-Bで切断したトランジスタセルの断面図である。さらに、図3はこの半導体チップをリードフレームに組み立てる場合の平面図を示している。

【0025】図1(a)に示すように、半導体チップ1の中央の領域に主トランジスタセル2が設けられる。そして、副トランジスタセル3および4が、上記の主トランジスタセル2の左右の対称の位置に配置される。ここで、主トランジスタセル2は、マスタスライス方式で製造される製品群のうちの最小のトランジスタで構成される。そして、副トランジスタセル3および4は、主トランジスタセル2を加えて、マスタスライス方式で製造される製品群のうちの最大のトランジスタを構成できるように形成される。

【0026】これらのトランジスタセルは、単体のバイポーラトランジスタの複数個あるいは1個で構成される。そして、この単体のバイポーラトランジスタの大きさおよび構造は全く同一となるように設定される。

【0027】また、これらのトランジスタの配置において、副トランジスタセル3および4の大きさは主トランジスタセル2のそれより小さくなるように設定される。

【0028】そして、このようなトランジスタセルの配置された半導体チップにおいては、使用目的にあったRF特性や電流値に合わせて図1(a)あるいは図1(b)のように使用トランジスタセル数と電極形状を変えて複数品種のトランジスタが製造されるようになる。

【0029】図1(a)においては、主トランジスタセル2にボンディングパッド5および6が配線を通して接続される。ここで、ボンディングパッド5は主トランジスタセル2のエミッタに接続され、ボンディングパッド6は主トランジスタセル2のベースに接続されている。なお、コレクタの電極引き出しは半導体チップ1の裏面からなされる。

【0030】図1(b)においては、主トランジスタセル2、副トランジスタセル3および4にボンディングパッド5および6が接続される。ここでは、ボンディングパッド5は主トランジスタセル2、副トランジスタセル3および4のエミッタに配線を通して共通に接続され、ボンディングパッド6は主トランジスタセル2、副トランジスタセル3および4のベースに共通に接続されている。この場合も、コレクタの電極引き出しは半導体チップ1の裏面からなされる。

【0031】このように、本発明のマスタスライス方式のトランジスタでは、半導体チップ上でのボンディングパッドの配置は、製品の品種が変わっても同一位置になるように設定される。

【0032】次に、図2に基づいて主トランジスタセル2の構造を説明する。図2に示すように、N⁺型シリコン基体11の上にN⁻型エピタキシャル層12が形成されている。そして、このN⁻型エピタキシャル層12およびN⁺型シリコン基体11の所定の領域に選択的に素子分離絶縁膜13が形成されている。そして、素子の活性領域に次のようなバイポーラトランジスタが形成される。すなわち、P⁺型拡散領域14が形成されてグラフトベースとなり、P型ベース領域15が形成され、この領域の中にN⁺型エミッタ領域16が形成される。ここで、これらのP⁺型拡散領域14、P型ベース領域15およびN⁺型エミッタ領域16は、その平面形状が短冊形状になるように形成されている。

【0033】そして、層間絶縁膜17が形成され、P⁺型拡散領域14およびN⁺型エミッタ領域16上の層間絶縁膜17にコンタクト孔が設けられる。このコンタクト孔を通してN⁺型エミッタ領域16に接続されるN⁺ポリシリコン18が形成される。さらに、このN⁺ポリシリコン18に接続するエミッタ領域19が形成される。また、P⁺型拡散領域14に接続してバリアメタル20が形成され、このバリアメタル20に接続してベース電極21が形成される。

【0034】このように形成されるエミッタ電極19およびベース電極21は共にその平面形状が短冊状である。そして、図2に示す3本のエミッタ電極19は、平面形状で櫛形に接続される。同様に、4本のベース電極21も櫛形に接続される。ここで、図2に示したエミッタ電極19の数が先述したフィンガー数である。この場合は、フィンガー数は3になる。

【0035】次に、本発明のような半導体チップをリードフレームに封止する場合について図3に基づいて説明する。ここで、図3(a)は、図1(a)で説明した半導体チップを封止する場合であり、図3(b)は、図1(b)で説明した半導体チップを封止する場合である。

【0036】図3(a)に示すように、半導体チップ1のボンディングパッド5はボンディングワイヤ31でリード32に接続される。同様に、ボンディングパッド6はボンディングワイヤ33でリード34に接続される。

そして、半導体チップ1はリード35にマウントされて接続される。

【0037】図1(b)の半導体チップの場合には、ワイヤボンディングは図1(a)の半導体チップの場合と全く同一である。すなわち、図3(b)に示すように、半導体チップ1のボンディングパッド5はボンディングワイヤ36でリード32に接続される。同様に、ボンディングパッド6はボンディングワイヤ37でリード34に接続される。そして、半導体チップ1はリード35にマウントされて接続される。

【0038】このように、マスタスライス方式で製造される製品のトランジスタセル配置およびボンディングパッド配置を同一とすることで、ボンディング時の組立品種切り替え毎の位置合わせが不要となり、組立効率が向上する。また、本発明では品種が異なってもボンディングパッド位置ならびにボンディングワイヤ長が同じため、デバイスパラメータ抽出時にはワイヤに起因するパラメータは共通して用いることができ、それぞれのトランジスタ部分のパラメータのみを抽出すればよいことになり、設計にかかる時間が短縮でき設計効率が向上する。

【0039】このように本発明においては、トランジスタセルが半導体チップの中心で左右に対称になるように配置される。このため、高周波でのトランジスタ特性が向上する。この効果について図4で説明する。図4は、バイポーラトランジスタのベースへの入力パワーとコレクタの出力パワーの関係を示す。ここで、トランジスタは縦型NPNトランジスタであり、電源電圧 $V_{cc}=3V$ 、動作周波数 $f=1.9GHz$ である。なお、パワーはデシベル(dBm)表示で示される。

【0040】図中の本発明の場合は、図1(b)で説明した半導体チップを測定した結果であり、従来の技術の場合は、図8(a)で説明した半導体チップを測定した結果である。ここで、全体のトランジスタの大きさはともに同一になるように構成されている。

【0041】図4から判るように、低パワーの領域では、入力パワーが増加すると出力パワーも比例して増加する。そして、これらのパワーがある程度以上になると、出力パワーの増加分は小さくなり飽和する。本発明の場合では、従来の技術の場合より、出力パワーの比例して増加する領域が高くなると共に出力パワーの飽和値すなわちサチュレーションパワーが増大する。このように、本発明の場合では、トランジスタが、従来の技術の場合より高いパワー領域まで動作するようになる。トランジスタの利得は、図4で出力パワー(dBm)値から入力パワー(dBm)値を引いた値で得られる。図4から判るように、本発明の場合、高い入力パワーにおいて、従来の技術の場合よりトランジスタ利得が高くなる。

【0042】本発明の場合にはトランジスタ動作で発生

する熱量は、半導体チップの中心部で比較的に多くなり、その周辺に向かって点対称的に少なくなる。また、このトランジスタ動作で発生した熱の放熱は、半導体チップの中心からその周辺に向って行われる。これらの結果、トランジスタ動作で発生する熱は半導体チップ上でほぼ均一に分布するようになり半導体チップの動作時温度は平均化され低下する。このため、トランジスタの熱損失は低減され図4で説明したような効果が生じるようになる。さらには、トランジスタの熱暴走も回避されるようになる。

【0043】これに対し、従来の技術の場合にはトランジスタ動作で発生する熱は、半導体チップの偏った領域で多くなる。例えば、図8(a)で説明した第3のトランジスタセル104の領域で熱発生が多くなる。この場合には、高い発熱中心が半導体チップの周辺に偏るため、放熱も半導体チップ上で均一になされなくなる。そして、半導体チップの動作時温度に大きなムラが生じ、一部では非常に高くなり一部では本発明の場合より低くなる。ここで、非常に高くなる領域のトランジスタでは、熱損失が異常に大きくなり図4で説明したような高いパワー領域での動作が難しくなる。さらには、この場合には、トランジスタの熱暴走が生じ易くなる。

【0044】次に、図5と図6に基づいて本発明の第2の実施の形態を説明する。ここで、図5は半導体チップの平面図であり図6はこの半導体チップをリードフレームに封止するためのボンディング平面図である。

【0045】本実施の形態は、エミッタ用の2つのボンディングパッドが形成される場合である。

【0046】第1の実施の形態と同様に、図5(a)に示すように、半導体チップ1の中央の領域に主トランジスタセル2が設けられ、副トランジスタセル3および4が、上記の主トランジスタセル2の左右の対称の位置に配置される。ここで、主トランジスタセル2は、マスタスライス方式で製造される製品群のうちの最小のトランジスタで構成される。また、副トランジスタセル3および4は、主トランジスタセル2を加えて、マスタスライス方式で製造される製品群のうちの最大のトランジスタを構成するように形成される。

【0047】これらのトランジスタセルは、単体のバイポーラトランジスタの複数個あるいは1個で構成される。そして、この単体のバイポーラトランジスタの大きさおよび構造は全く同一となるように設定される。

【0048】また、これらのトランジスタの配置において、副トランジスタセル3および4の大きさは主トランジスタセル2のそれより小さくなるように設定される。

【0049】図5(a)に示すように、主トランジスタセル2のエミッタにボンディングパッド7および8が形成される。そして、ボンディングパッド9は主トランジスタセル2のベースに接続されている。さらに、コレクタの電極引き出しは半導体チップ1の裏面からなされる。

【0050】図5(b)に示すように、主トランジスタセル2と副トランジスタセル3および4のエミッタにボンディングパッド7および8が形成される。そして、ボンディングパッド9は主トランジスタセル2と副トランジスタセル3および4のベースに接続されている。この場合でも、コレクタの電極引き出しは半導体チップ1の裏面からなされる。

【0051】以上のようなエミッタに接続される2つのボンディングパッドを有するマスタスライス化した半導体チップの場合でも、製品によりボンディングパッドの位置は半導体チップ内で同一になるように設定される。

【0052】図5(a)で説明した半導体チップをリードフレームに封止する場合、図6(a)に示すように、半導体チップ1のエミッタ用のボンディングパッド7はボンディングワイヤ41でリード42に接続される。同様に、エミッタ用のボンディングパッド8もボンディングワイヤ43でリード42'に接続される。ここで、リード42とリード42'は1本のリードとして形成されている。さらに、ベース用のボンディングパッド9はボンディングワイヤ44でリード45に接続される。そして、半導体チップ1はリード46にマウントされて接続される。

【0053】図5(b)の半導体チップの場合にも、ワイヤボンディングは図5(a)の半導体チップの場合と全く同一である。すなわち、図6(b)に示すように、半導体チップ1のエミッタ用のボンディングパッド7はボンディングワイヤ47でリード42に接続される。同様に、エミッタ用のボンディングパッド8もボンディングワイヤ48でリード42'に接続される。さらに、ベース用のボンディングパッド9は、ボンディングワイヤ49でリード45に接続される。そして、半導体チップ1はリード46にマウントされ接続される。

【0054】本発明を適用するような高周波用のトランジスタでは、ボンディングワイヤに起因するインダクタンスの大きさはワイヤ長を一定にした場合、ワイヤ径が大きくなるとインダクタンスは小さくなる。このため、第2の実施の形態のようにエミッタ用のボンディングパッドを2つ設け、2つのボンディングワイヤでリードに接続することで、インダクタンスはワイヤ1つの場合に比べて約1/2になる。特にエミッタ側のインダクタンスはトランジスタのRF特性に非常に影響するため、このインダクタンス低減の効果は大きいものとなる。

【0055】また、半導体チップ上でのトランジスタセル配置およびボンディングパッド配置を同一にすることで、ボンディング時の組立て品種切り替え毎の位置合わせが不要となり、組立効率が向上する。また、半導体チップ内では各トランジスタセルの配線長が等しくなるために各トランジスタセルに対するインピーダンスや寄生容量値が等しくなり、トランジスタ内のバランスが良くなる。さらに半導体チップ内で中心に大きなトランジスタ

セルを、その両側に小さいトランジスタセルを均等に配置することでチップ内の熱バランスも良くなる。従って、電力利得の低下や周波数特性劣化は起こらなくなる。さらに、複数ボンディングパッド化することにより、インダクタンスが減少し、周波数特性が向上する。加えるに、品種が異なってもボンディングパッド位置ならびにボンディングワイヤ長が同じため、デバイスパラメータ抽出時にはワイヤに起因するパラメータは共通して用いることができる。そして、それぞれのトランジスタ部分のパラメータのみを抽出すればよいことになり、設計にかかる時間は短縮され設計効率が大幅に向上するようになる。

【0056】以上の実施の形態では、副トランジスタセルが半導体チップの左右に各1個配置される場合について説明された。本発明はこのような例に限定されるものでなく、副トランジスタセルが左右にそれぞれ複数個形成されてもよい。但し、この場合にはトランジスタセルのフィンガー数は、半導体チップの周辺になるとともに減少するように設定されるのがよい。

【0057】また、発明の実施の形態では、トランジスタセルがバイポーラトランジスタで構成される場合について説明された。しかし、本発明は、このトランジスタとしてMISFETあるいはMESFETでも同様に形成されるものである。但し、このような電界効果トランジスタの場合には、フィンガー数はソース電極の数として考えるものとする。他は、バイポーラトランジスタで説明したのと同様に考えるものとする。

【0058】

【発明の効果】以上に詳しく説明したようにマスタスライス化した高周波用のトランジスタにおいて、本発明のような半導体チップ内でのトランジスタセル配置およびボンディングパッド配置とすることで、半導体チップ内でのレイアウトに起因するトランジスタの高周波特性の劣化はなくなる。さらには、高周波トランジスタの電力高利得あるいは高パワー化等のRF特性の向上が得られるようになる。

【0059】また、マスタスライスで製造される各製品において、ボンディングパッド位置およびボンディングワイヤ長が同じになることによりトランジスタの組立て効率が大幅に向上する。そして、このようなトランジスタを用いるハイブリッド回路の設計効率が向上するようになる。

【0060】このように本発明によれば、高周波用のトランジスタ製品群がマスタスライス方式で高精度にしかも容易に製造できるようになる。このため、高周波用のトランジスタの低コスト化がさらに促進されるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための半導体チップの平面図である。

【図2】上記の実施の形態を説明するためのトランジスタセルの断面図である。

【図3】上記半導体チップを接続したリードフレームの平面図である。

【図4】本発明の効果を説明するトランジスタの高周波特性を示すグラフである。

【図5】本発明の第2の実施の形態を説明するための半導体チップの平面図である。

【図6】上記半導体チップを接続したリードフレームの平面図である。

【図7】従来の技術を説明するための半導体チップの平面図である。

【図8】従来の技術を説明するための半導体チップの平面図である。

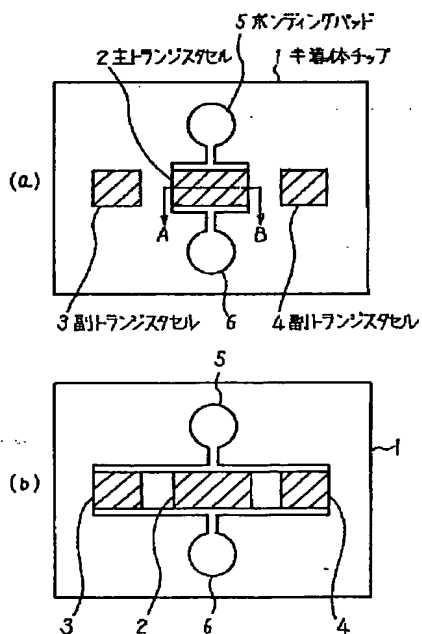
【図9】従来の技術の半導体チップを接続したリードフレームの平面図である。

【符号の説明】

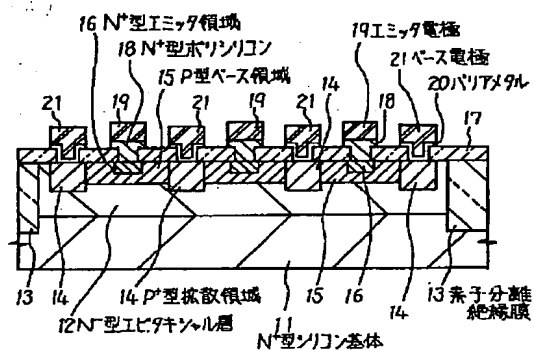
- 1, 101 半導体チップ
- 2 主トランジスタセル
- 3, 4 副トランジスタセル
- 5, 6, 7, 8, 9 ボンディングパッド
- 11 N⁺型シリコン基体
- 12 N⁻エピタキシャル層

- 13 素子分離絶縁膜
- 14 P⁺型拡散層
- 15 P型ベース領域
- 16 N⁺型エミッタ領域
- 17 層間絶縁膜
- 18 N⁺型ポリシリコン
- 19 エミッタ電極
- 20 バリメタル
- 21 ベース電極
- 31, 33, 36, 37 ボンディングワイヤ
- 41, 43, 44, 46, 48, 49 ボンディングワイヤ
- 32, 34, 35, 42, 42', 45, 46 リード
- 102 第1のトランジスタセル
- 103 第2のトランジスタセル
- 104 第3のトランジスタセル
- 105, 106, 107, 108 ボンディングパッド
- 109, 110, 111, 112, 113 ボンディングパッド
- 115, 117, 118 リード

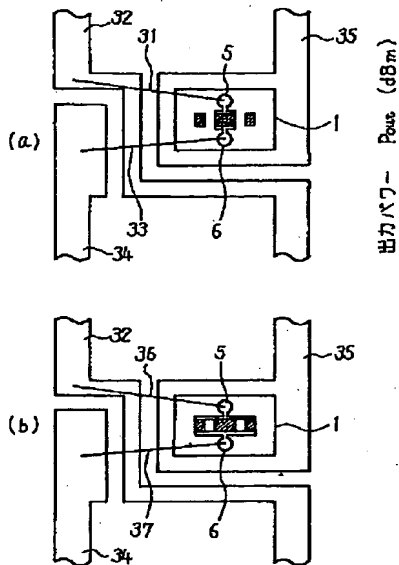
【図1】



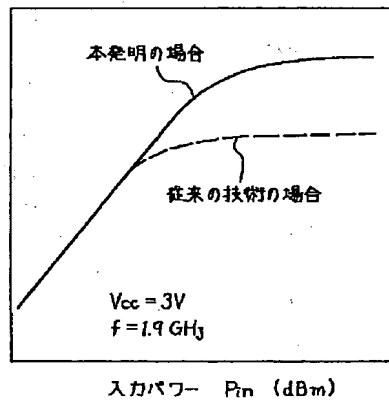
【図2】



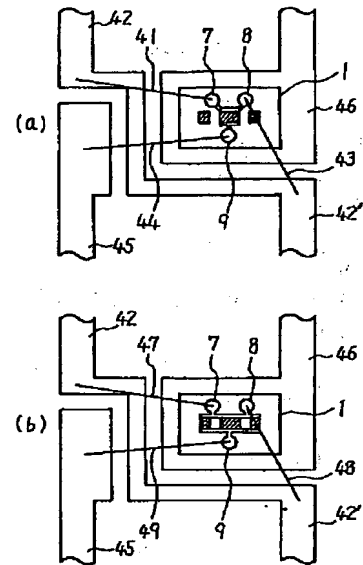
【図3】



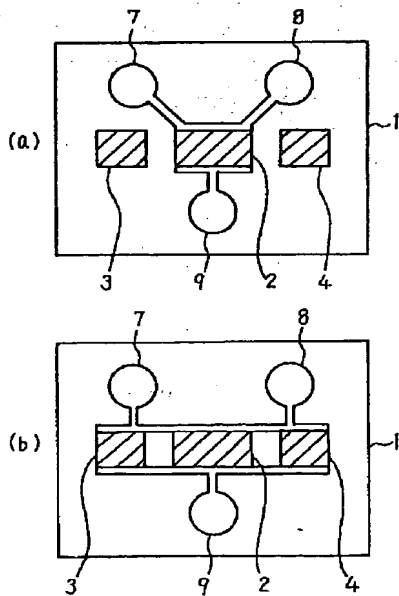
【図4】



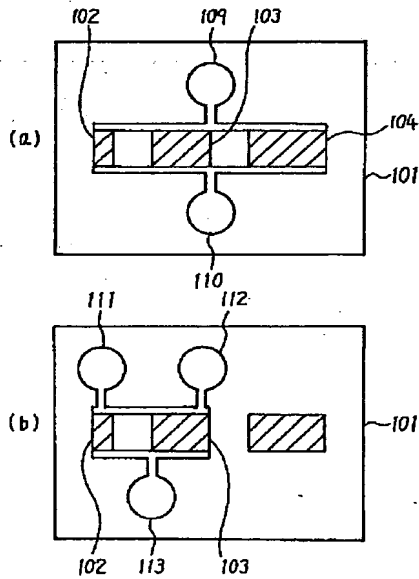
【図6】



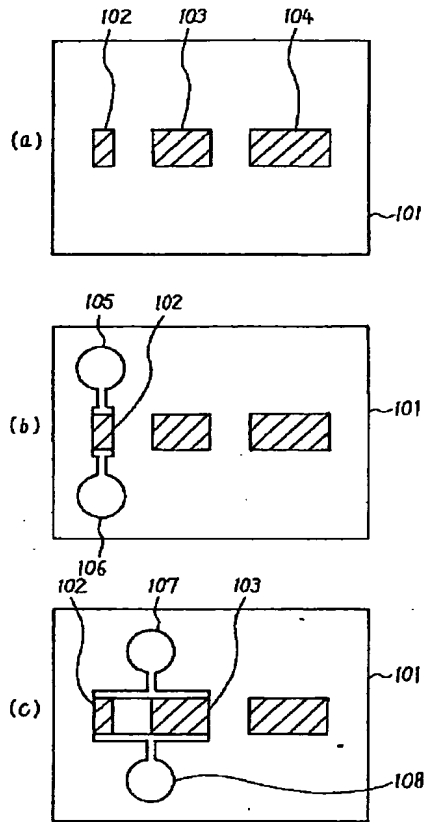
【図5】



【図8】



【図7】



【図9】

